

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-196341

(43)Date of publication of application : 19.07.2001

(51)Int.Cl.

H01L 21/304

H01L 21/306

(21)Application number : 2000-002910

(71)Applicant : MITSUBISHI MATERIALS SILICON
CORP

(22)Date of filing : 11.01.2000

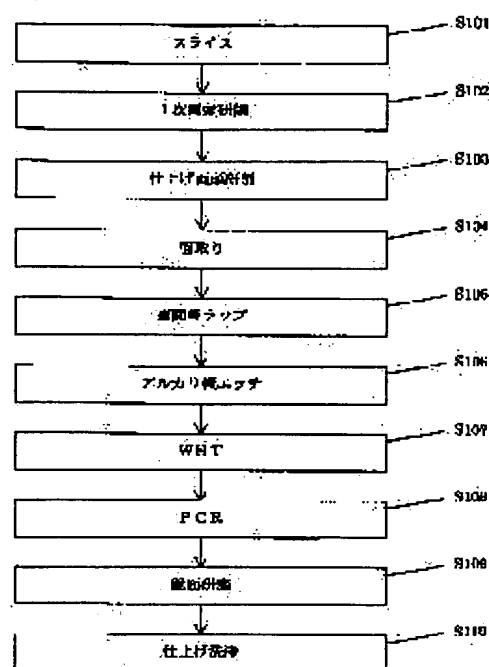
(72)Inventor : HARADA SEISHI

(54) METHOD OF MANUFACTURING SEMICONDUCTOR WAFER

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a method of manufacturing semiconductor wafer by which the flatness of the polished surface of a wafer can be improved and the polishing amount and, in its turn, the whole machining margin of the surface of the wafer can be reduced.

SOLUTION: In the method of manufacturing semiconductor wafer, both the front and rear surfaces of the silicon wafer are low-damage ground by using a low-damage grinding wheel in the final duplex grinding step. Consequently, the front and rear surfaces of the wafer become highly flat. Then the rear surface of the wafer is finished to a satin surface in a rear-surface light wrapping step and lightly etched with an alkaline etchant in the next alkaline light etching step. Accordingly, the high flatness of the rear surface is maintained even after the etching and the polishing amount of the surface in a succeeding polishing becomes smaller. Consequently, a highly flat wafer is obtained as a product. In addition, since the wafer is manufactured through these steps in which not only working damages but also machining margins are relatively less, the total machining margin of the wafer can also be reduced.



LEGAL STATUS

[Date of request for examination] 11.12.2002

[Date of sending the examiner's decision of rejection] 01.10.2004

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-196341

(P2001-196341A)

(43) 公開日 平成13年7月19日 (2001.7.19)

(51) Int.Cl.⁷

H 0 1 L 21/304

21/306

識別記号

6 3 1

6 2 1

F I

H 0 1 L 21/304

21/306

テマコード* (参考)

6 3 1 5 F 0 4 3

6 2 1 A

6 2 1 B

M

B

審査請求 未請求 請求項の数7 O L (全 6 頁)

(21) 出願番号

特願2000-2910(P2000-2910)

(22) 出願日

平成12年1月11日 (2000.1.11)

(71) 出願人 000228925

三菱マテリアルシリコン株式会社

東京都千代田区大手町一丁目5番1号

(72) 発明者 原田 晴司

東京都千代田区大手町1丁目5番1号 三

菱マテリアルシリコン株式会社内

(74) 代理人 100094215

弁理士 安倍 逸郎

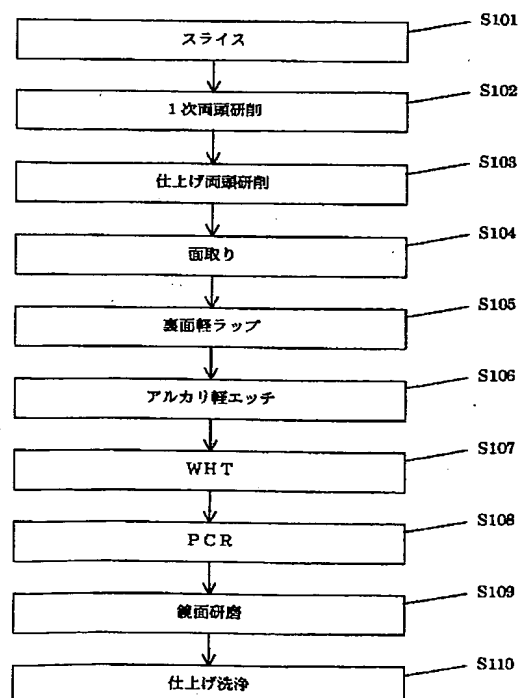
Fターム(参考) 5F043 AA02 BB02 DD16 FF07

(54) 【発明の名称】 半導体ウェーハの製造方法

(57) 【要約】

【課題】 高平坦度化が図れ、しかもウェーハ表面の研磨量、引いては全加工取り代を減少させる半導体ウェーハの製造方法を提供する。

【解決手段】 仕上げ両面研削工程で、シリコンウェーハの表裏両面を低ダメージ用の研削砥石を用いて低ダメージ研削する。これにより、ウェーハ表裏面が高平坦度となる。その後、裏面軽ラップ工程でウェーハ裏面を梨地面とし、次のアルカリ軽エッチ工程でアルカリ性エッチング液により軽エッチする。よって、この高平坦度状態はエッチ後も維持され、後の鏡面研磨工程での研磨量が減少し、製品は高平坦度ウェーハとなる。また、これらの比較的加工ダメージが小さく加工取り代も少ない工程でウェーハを製造するので、ウェーハの全加工取り代も減少させることができる。



【特許請求の範囲】

【請求項1】 スライスされた半導体ウェーハの表裏両面に同時に研削を施す両頭研削工程と、
両頭研削工程の後、半導体ウェーハの裏面に軽くラッピング加工を施して、半導体ウェーハの裏面を梨地面とする裏面軽ラップ工程と、
裏面軽ラップ工程の後、アルカリ性エッチング液により半導体ウェーハを軽くエッチングするアルカリ軽エッチ工程と、
アルカリ軽エッチ工程の後、半導体ウェーハの表面を鏡面研磨する鏡面研磨工程とを備えた半導体ウェーハの製造方法。

【請求項2】 上記両頭研削工程が、半導体ウェーハの表裏両面に比較的粗い研削を行なう1次両頭研削と、低ダメージ用の研削砥石を用いて低ダメージの研削を行う仕上げ両頭研削とからなる請求項1に記載の半導体ウェーハの製造方法。

【請求項3】 上記1次両頭研削が、#300～#600の研削砥石を用いて行なわれる請求項2に記載の半導体ウェーハの製造方法。

【請求項4】 上記仕上げ両頭研削が、#2000～#4000のレジノイド研削砥石を用いて行なわれる請求項2または請求項3に記載の半導体ウェーハの製造方法。

【請求項5】 上記裏面軽ラップ工程が枚葉式のラップ装置を用いて行なわれ、上記鏡面研磨工程が枚葉式の研磨装置を用いて行なわれる請求項1～請求項4のうちのいずれか1項に記載の半導体ウェーハの製造方法。

【請求項6】 上記裏面軽ラップ工程では、半導体ウェーハの裏面を2～3 μ mの厚さだけラッピングする請求項1～請求項5のうちのいずれか1項に記載の半導体ウェーハの製造方法。

【請求項7】 上記アルカリ軽エッチ工程が、半導体ウェーハを片面で2～3 μ mだけエッチングする工程である請求項1～請求項6のうちのいずれか1項に記載の半導体ウェーハの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は半導体ウェーハの製造方法、詳しくは両頭研削加工を含み、高平坦度で、ウェーハ加工取り代が少ない半導体ウェーハの製造方法に関する。

【0002】

【従来の技術】従来のシリコンウェーハの製造方法を図2のフローチャートを参照して説明する。まず、スライス工程(S201)では、インゴットからシリコンウェーハをスライスする。次の面取り工程(S202)では、このシリコンウェーハの外周部に面取り加工を施す。続くラッピング工程(S203)においては、ラップ盤によりそのシリコンウェーハの表裏両面にラップ加

工を施す。この場合、通常、片面で40 μ m、両面で80 μ m程度をラッピングする。

【0003】そして、次の酸エッチング工程(S204)では、ラップドウェーハを所定の酸性エッチング液(例えば混酸)に浸漬し、そのラップ加工での歪み、面取り工程での歪みなどを除去する。エッチング量は、通常、片面で20 μ m、両面で40 μ m程度をエッチングする。その後、シリコンウェーハにドナーキラー熱処理の一種であるWHT(Wafer Heat Treatment)工程(S205)を施す。続いて、シリコンウェーハの外周部を鏡面仕上げするPCR工程を行なう(S206)。それから、このシリコンウェーハをワックスを用いて研磨盤に接着し、ウェーハ表面に鏡面研磨を施す(S207)。このときの研磨量は12 μ m程度である。そして、シリコンウェーハの裏面に付着したワックスなどを除去した後、最終の仕上げ洗浄工程(S208)を経る。なお、上記鏡面研磨はワックスレスで行うこともある。

【0004】

【発明が解決しようとする課題】しかしながら、このような従来のシリコンウェーハの製造方法にあつては、前述したように、シリコンウェーハのラッピング後、混酸を使って酸エッチングを行っていた。酸エッチングはシリコンウェーハとの反応性が高くて、エッチング速度が比較的速いという利点を有する一方、エッチング中に多量の気泡が発生し、その影響でウェーハ表面に比較的大きなうねりが発生したり、ウェーハ外周部に比較的大きなダレが発生してしまい、これらが平坦度を低下させていた。そのため、研磨工程では、この平坦度を高めるため、そのうねりやダレの分を研磨しなければなら、ウェーハ表面の研磨量が12 μ m程度と大きくなり、研磨にかかる時間が長くなっていた。しかも、従来の研磨による平坦度は、サイト平坦度、例えば25mm×25mmの面積をもつサイトで裏面基準の高さの差(SBIR)において、0.4 μ m程度であった。

【0005】しかも、シリコンウェーハの各加工時の取り代は、それぞれ片面で、ラップ量40 μ m、酸エッチング量20 μ m、研磨量12 μ mであつて、その全加工取り代は132 μ m程度と比較的大きかった。また、通常、ラップ工程および研磨工程で用いられるラッピング装置および研磨装置は、いずれも多数枚のシリコンウェーハを一括して加工するバッチ式の装置であつた。このバッチ式では、作業者の手作業により、複数枚のシリコンウェーハをキャリアプレートのウェーハ装着孔に組み込まなければならない。その結果、この半導体ウェーハのすべての製造工程を流れ作業的に自動化することができなかった。

【0006】

【発明の目的】この発明は、高平坦度化が図れ、しかもウェーハ表面の研磨量、ひいては全加工取り代を減少さ

せることができる半導体ウェーハの製造方法を提供することを、その目的としている。また、この発明は、半導体ウェーハ製造の完全自動化が可能な半導体ウェーハの製造方法を提供することを、その目的としている。

【0007】

【課題を解決するための手段】請求項1に記載の発明は、スライスされた半導体ウェーハの表裏両面に同時に研削を施す両頭研削工程と、両頭研削工程の後、半導体ウェーハの裏面に軽くラッピング加工を施して、半導体ウェーハの裏面を梨地面とする裏面軽ラップ工程と、裏面軽ラップ工程の後、アルカリ性エッチング液により半導体ウェーハを軽くエッチングするアルカリ軽エッチ工程と、アルカリ軽エッチ工程の後、半導体ウェーハの表面を鏡面研磨する鏡面研磨工程とを備えた半導体ウェーハの製造方法である。

【0008】両頭研削工程は、低ダメージの仕上げ両頭研削だけでも、1次両頭研削と仕上げ両頭研削とから構成されていてもよい。さらに、1次両頭研削と仕上げ両頭研削との間に2次研削を追加してもよい。例えば、日平トヤマ（株）製の両頭研削装置を用いることができる。この装置は、#2000の砥粒をメタルボンドした研削砥石を備え、80 μ m以上の研削を行うものである。この両頭研削での研削ダメージは例えば2 μ m以下とする。ダメージが大きいと、後の鏡面研磨工程での研磨量が増大する。この研磨量が10 μ mを超えると、比較的高平坦度の半導体ウェーハでも、ウェーハ表面のGBIRが低下するおそれがある。これは、表面が高平坦度のシリコンウェーハをさらに研磨していった場合、その研磨量が約10 μ mを超えたところで平坦度が低下するためである。

【0009】仕上げ両頭研削の研削量は、通常、表裏両面で20 μ m程度である。この仕上げ研削に使用される仕上げ用の両頭研削装置としては、例えば反転式両頭研削装置、両面同時研削装置などを採用することができる。組み込まれる研削砥石としては、例えば、良質の合成樹脂を結合剤としてダイヤモンド砥粒を結合したレジノイド研削砥石を採用することができる。ただし、この仕上げ両頭研削では、ウェーハ表面があれにくく、しかも非ダメージ面であるウェーハ表面でも研削することができる高番手の研削砥石を用いた方がよい。例えば#1000～#8000のレジノイド研削砥石を使用することができる。研磨前に低ダメージ研削を行うため、この研削後のウェーハ表面では高平坦度を得ることができる。さらには、研磨量を少なくできることから、高スループットを得ることができる。

【0010】ここでいう裏面軽ラップとは、従来のラップ量（片面40 μ m）よりもラップ量が少ないウェーハ裏面のラッピングを意味する。ただし、このラップ量は限定されない。また、この裏面軽ラップにより現出される梨地面の平坦度も限定されない。ここでの加工ダメー

ジは3 μ m以下、好ましくは1 μ m以下である。また、アルカリ軽エッチ工程用のアルカリ性エッチング液としては、例えばKOH、NaOHなどが挙げられる。なお、このアルカリ軽エッチ工程後に、酸素ドナーを消去するための熱処理工程（WHT工程など）および面取り面を鏡面化させるためのPCR工程を加えてもよい。熱処理工程での熱処理条件としては、例えば加熱温度600～1100℃、加熱時間5～900secが挙げられる。雰囲気ガスには、クリーンエア、酸素、窒素などを採用することができる。また、PCR加工装置としては、例えば円筒形状のウレタンバフを回転させ、この回転中のバフ外周面に、保持板に吸着・保持された半導体ウェーハの外周面を接触させて、この外周面を鏡面加工するものなどを採用することができる。

【0011】また、鏡面研磨工程での研磨量は限定されない。通常は、従来の片面12 μ m、両面で24 μ mよりも小さくなる。使用される研磨布としては、例えば硬質発泡ウレタンフォームパッド、不織布にウレタン樹脂を含浸・硬化させたパッドなどが挙げられる。なお、ここでいう半導体ウェーハの表裏面が高平坦度であるということは、サイト平坦度、例えば25mm×25mmの面積をもつサイトで裏面基準の高さの差（SBIR）において0.4 μ m以下であることを意味する。

【0012】請求項2に記載の発明は、上記両頭研削工程が、半導体ウェーハの表裏両面に比較的粗い研削を行なう1次両頭研削と、低ダメージ用の研削砥石を用いて低ダメージの研削を行う仕上げ両頭研削とからなる請求項1に記載の半導体ウェーハの製造方法である。1次両頭研削での研削量は、通常、60～80 μ mである。1次両頭研削用の両頭研削装置としては、例えば反転式両頭研削装置などを使用することができる。この両頭研削装置に組み込まれる研削砥石の種類およびその番手は限定されない。

【0013】請求項3に記載の発明は、上記1次両頭研削が、#300～#600の研削砥石を用いて行なわれる請求項2に記載の半導体ウェーハの製造方法である。例えばメタルボンド研削砥石が用いられる。#300未満では加工ダメージが大きすぎる。また、#600を超えると砥石の目詰まりが生じる。

【0014】請求項4に記載の発明は、上記仕上げ両頭研削が、#2000～#4000のレジノイド研削砥石を用いて行なわれる請求項2または請求項3に記載の半導体ウェーハの製造方法である。#2000未満では加工ダメージが大きすぎる。また、#4000を超えると砥石の目詰まりが生じる。仕上げ両頭研削用の砥石としては、例えばディスコ株式会社製の#1500～#3000のレジノイド研削砥石が挙げられる。例えば製品名「IF-01-1-4/6-B-M01」のレジノイドの#2000の高番手の研削砥石を用いることができる。

【0015】請求項5に記載の発明は、上記裏面軽ラップ工程が枚葉式のラップ装置を用いて行なわれ、上記鏡面研磨工程が枚葉式の研磨装置を用いて行なわれる請求項1～請求項4のうちのいずれか1項に記載の半導体ウェーハの製造方法である。片面ラップ盤の枚葉タイプを用いることが可能である。

【0016】請求項6に記載の発明は、上記裏面軽ラップ工程では、半導体ウェーハの裏面を2～3 μ mの厚さだけラッピングする請求項1～請求項5のうちのいずれか1項に記載の半導体ウェーハの製造方法である。2 μ m未満では砥削ダメージが残る。また、3 μ mを超えると平坦度が悪化する。

【0017】請求項7の発明は、上記アルカリ軽エッチ工程が、半導体ウェーハを片面で2～3 μ mだけエッチングする工程である請求項1～請求項6のうちのいずれか1項に記載の半導体ウェーハの製造方法である。2 μ m未満では加工ダメージが残る。また、3 μ mを超えるとピットが大きくなるという若干の不都合が生じる。

【0018】

【作用】この発明によれば、両頭研削工程のうち、最終的な仕上げ両頭研削を、低ダメージ用の研削砥石による低ダメージの研削として行なう。これにより、従来の表裏面のラップ加工後の半導体ウェーハに比べてウェーハ表裏面が高平坦度となる。その後、裏面軽ラップ工程で裏面を梨地面に加工し、次いで高いエッチング精度が得られるアルカリ性エッチング液を用いて軽度のエッチングを行なう。アルカリエッチングは、従来の酸エッチングに比べてエッチング面があれにくいので、半導体ウェーハの高い平坦度状態がエッチング後も保持される。これにより、その後工程である鏡面研磨工程でのウェーハ表面の研磨量が減少するとともに、半導体ウェーハの高平坦度化を図ることができる。また、このように順次、両頭研削、裏面軽ラッピングおよびアルカリ軽エッチングおよび鏡面研磨という、比較的加工ダメージが小さくて加工取り代も少なくなる工程を施して半導体ウェーハを製造するようにしたので、従来の両面ラッピング、酸エッチングおよび鏡面研磨という、比較的加工ダメージが大きくて加工取り代も大きくなる工程を施す方法と比較して、半導体ウェーハの全加工取り代を減少させることができる。

【0019】特に、請求項5に記載の発明によれば、裏面軽ラップ工程および鏡面研磨工程を、それぞれ半導体ウェーハを1枚ずつ加工する枚葉式の裏面軽ラップ装置または枚葉式の研磨装置により行なう。これにより、従来の汎用品であるバッチ式装置では操作の一部に、半導体ウェーハをキャリアプレートへ組み込む手作業が必要であった点を完全に解決することができる。その結果、半導体ウェーハの製造の完全自動化が可能になる。

【0020】

【発明の実施の形態】以下、この発明の実施例を図面を

参照して説明する。図1は、この発明の一実施例に係る半導体ウェーハの製造方法を示すフローチャートである。図1に示すように、この実施例にあっては、スライス、1次両頭研削、仕上げ両頭研削、面取り、裏面軽ラップ、アルカリ軽エッチ、WHT（熱処理）、PCR、鏡面研磨、仕上げ洗浄の各工程を経て、半導体ウェーハが作製される。以下、各工程を詳細に説明する。

【0021】CZ法により引き上げられたシリコンインゴットは、スライス工程（S101）で、厚さ860 μ m程度の8インチのシリコンウェーハにスライスされる。次に、このスライスドウェーハは、1次両頭研削工程（S102）で、#600番のメタルボンド研削砥石を備えた1次両頭研削装置により、あらかう両頭研削される。このときの研削量はウェーハ片面で40 μ m、表裏面を合わせて80 μ m程度である。この1次両頭研削装置としては、片面ごとに研削する反転式両頭研削装置または両面同時に研削する両面同時研削装置などが挙げられる。

【0022】その後、仕上げ両頭研削工程が行なわれる（S103）。具体的には、#2000番のレジノイド研削砥石を搭載した仕上げ両頭研削装置により、綿密に両頭研削される。このときの研削量は片面で10 μ m、表裏面を合わせて20 μ m程度である。なお、加工ダメージは1～2 μ m程度である。ここで用いられる仕上げ両頭研削装置としては、片面ごとに仕上げ研削する反転式両頭研削装置または両面同時に仕上げ研削する両面同時研削装置などが挙げられる。

【0023】次に、面取り工程（S104）が施される。すなわち、シリコンウェーハの外周部が#600のメタル面取り用砥石により、所定の形状にあらかう面取りされる。これにより、シリコンウェーハの外周部は、所定の丸みを帯びた形状（例えばMOS型の面取り形状）に成形される。

【0024】面取り後のシリコンウェーハは、その裏面だけに軽いラッピングが施される（S105）。この工程は、シリコンウェーハを1枚ずつ処理する枚葉式の片面ラップ装置により行なわれる。この片面ラップ装置としては、例えば裏面にシリコンウェーハが保持されるウェーハ保持板と、その下方に配置されるラップ盤とを具備したものなどが挙げられる。裏面軽ラップ時には、ウェーハ保持板に保持されたシリコンウェーハの裏面をラップ盤上に押し付け、この状態で、ラップ盤にアルミナ砥粒と分散剤と水の混合物であるラップ液を供給しながら、ラップ盤および／またはウェーハ保持板を回転させて、ウェーハ裏面を機械的にラッピングする。これにより、ウェーハ裏面に所定の梨地加工が施される。ラップ量は2 μ mであり、加工ダメージは1 μ m以下である。

【0025】続いて、この裏面軽ラップ後のシリコンウェーハに、アルカリ軽エッチが行なわれる（S106）。具体的には、アルカリ性エッチング液として、4

0% KOHもしくはNaOH溶液を用い、エッチング温度80℃で行なわれる。このときのエッチング量はウェーハ片面で2 μ m、表裏面合わせて4 μ mである。

【0026】その後、シリコンウェーハを洗浄し、それからシリコンウェーハに熱処理(WHT)を施す(S107)。すなわち、シリコンウェーハを拡散炉に投入し、この炉内で650℃、15分間熱処理する。この際、炉内の雰囲気ガスは窒素ガスである。

【0027】次に、このWHT熱処理後のシリコンウェーハの外周部をPCR加工する(S108)。この加工時には、周知のPCR加工装置が用いられる。すなわち、ここでは円筒形状のウレタンバフをモータ回転させる装置が採用されている。モータによりウレタンバフを回転させ、この回転中のバフ外周面にシリコンウェーハの外周面を接触させる。これにより、このウェーハ外周面が鏡面仕上げされる。

【0028】その後、このシリコンウェーハの表面にバッチ式の鏡面研磨装置を用いて、鏡面研磨が施される(S109)。このときの研磨量は5 μ m程度である。これは、従来の12 μ mに比べて少ない。そして、仕上げ洗浄工程(S110)を施す。具体的には、RCA系の洗浄とする。

【0029】こうして製造されたシリコンウェーハは、SBI Rで0.4 μ m以下の高平坦度ウェーハである。しかも、従来の製造方法に比べて、シリコンウェーハの表面の研磨量、引いては全加工取り代を減少させることができる。すなわち、この一実施例のシリコンウェーハ

の製造方法による全加工取り代が92 μ mに対して、従来の製造方法では132 μ mであった。また、裏面軽ラップ工程および鏡面研磨工程を、枚葉式の裏面軽ラップ装置または鏡面研磨装置を用いて行なうようにしたので、シリコンウェーハの製造の完全自動化を図ることができる。

【0030】

【発明の効果】この発明によれば、スライス後の半導体ウェーハに対して、従来の加工取り代が大きい両面ラップを施すのではなく、両頭研削工程、特に低ダメージの仕上げ両頭研削を施し、しかもこの仕上げ両頭研削によって得たウェーハ表裏面の高平坦度状態を、後工程の裏面軽ラップ工程およびアルカリ軽エッチ工程で維持し、それからウェーハ表面の鏡面研磨を行なうようにしたので、半導体ウェーハの高平坦度化が図れ、しかも半導体ウェーハの表面の研磨量、ひいては全加工取り代を減少させることができる。

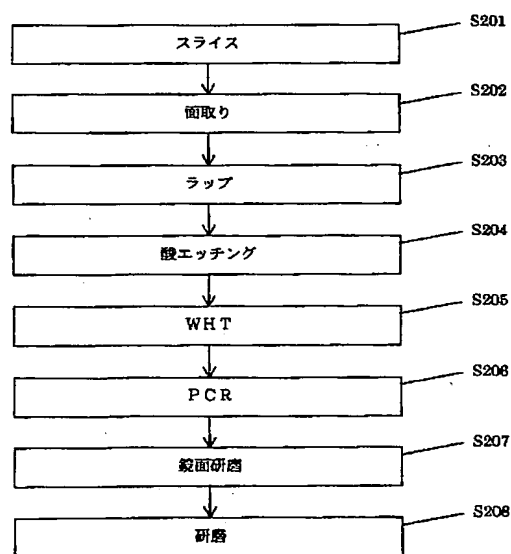
【0031】特に、請求項5に記載の発明によれば、裏面軽ラップ工程の裏面軽ラップ装置および鏡面研磨工程の鏡面研磨装置を、それぞれ枚葉式の装置としたので、半導体ウェーハの製造工程全体の完全な自動化を図ることができる。

【図面の簡単な説明】

【図1】この発明の一実施例に係る半導体ウェーハの製造方法を示すフローチャートである。

【図2】従来手段に係る半導体ウェーハの製造方法を示すフローチャートである。

【図2】



【図1】

